

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-195982

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

H03L 7/087

(21)Application number : 10-012015

(71)Applicant : NEC CORP

(22)Date of filing : 06.01.1998

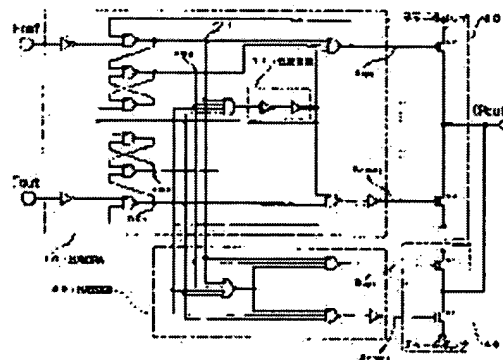
(72)Inventor : KAWAGUCHI MANABU

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To simultaneously provide high-speed lock characteristics and low jitter characteristics without accompanying increase of a circuit scale and terminals by providing first and second comparison means for comparing the frequency/phase difference of oscillation output and reference signals and first and second charge pumps for charging and discharging a time constant based on compared results by the respective comparison means.

SOLUTION: The comparator circuit 10 of this PLL circuit is provided with characteristics without a dead zone and the reference signals F_{ref} and oscillation signals F_{out} outputted by a VCO for which a frequency is controlled are inputted. The comparator circuit 20 can be the one of the characteristics with the dead zone and signals are inputted from points n01, n02, n03 and n04 inside the circuit of the comparator circuit 10. Control signals $Sup1$ and $Sdown1$ outputted by the comparator circuit 10 are supplied to a charge pump 30. On the other hand, the control signals $Sup2$ and $Sdown2$ outputted by the comparator circuit 20 are supplied to the charge pump 40.



LEGAL STATUS

[Date of request for examination] 06.01.1998

[Date of sending the examiner's decision of rejection] 05.10.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of 11-17933]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195982

(43) 公開日 平成11年(1999) 7月21日

(51) Int. Cl.
H03L 7/087

識別記号

P I
H03L 7/08

P

審査請求 有 請求項の数 9 F D (全 11 頁)

(21) 出願番号 特願平10-12015

(22) 出願日 平成10年(1998) 1月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 川口 学

東京都港区芝五丁目7番1号 日本電気株式会社内

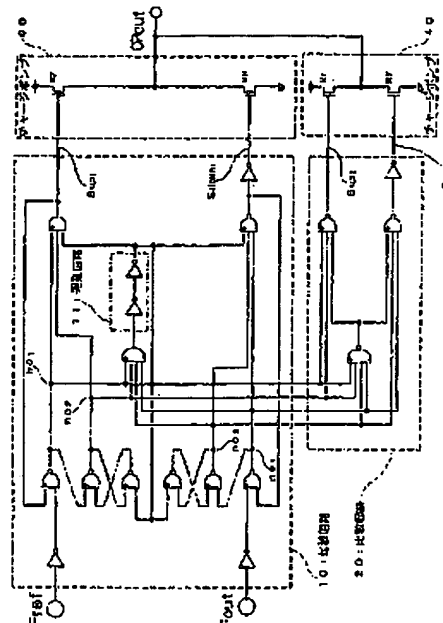
(74) 代理人 弁理士 堀 城之

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 大幅に回路規模が増加したり、外部からの制御信号等が供給される端子の増加を伴うことなく、高速ロック特性且つ低ジッタ特性を同時に有するPLL回路を提供する。

【解決手段】 第1の比較手段によって電圧制御発振手段の発振出力と基準信号との周波数/位相差を比較し、第1のチャージポンプは第1の比較手段による比較結果に基づいて時定数を充放電し、第1の比較回路を構成するフリップフロップの出力を増幅するバッファを有した第2の比較手段によって電圧制御発振手段の発振出力と基準信号との周波数/位相差を比較し、第2のチャージポンプは第2の比較手段による比較結果に基づいて時定数を充放電し、これら第2の比較手段は第1の比較手段の位相差-出力電圧特性より利得が高く、第2の比較手段は位相差-出力電圧特性に不感帯を有する場合に、第1の比較手段に不感帯を解消するための第1の遅延回路を挿入する。



(2)

特開平11-195982

1

2

【特許請求の範囲】

【請求項1】 電圧制御発振手段の発振出力と基準信号とに基づいて、時定数回路を介して前記電圧制御発振手段の周波数を制御する帰還回路から構成されるPLL回路であって、

前記電圧制御発振手段の発振出力と前記基準信号との周波数／位相差を比較する第1の比較手段と、

前記第1の比較手段による比較結果に基づいて前記時定数を充放電する第1のチャージポンプと、

前記電圧制御発振手段の発振出力と前記基準信号との周波数／位相差を比較する第2の比較手段と、

前記第2の比較手段による比較結果に基づいて前記時定数を充放電する第2のチャージポンプとを具備することを特徴とするPLL回路。

【請求項2】 前記第2の比較手段は、

前記第1の比較回路を構成するフリップフロップの出力を増幅するバッファを有しており、

前記第2の比較手段と前記第2のチャージポンプとは、

前記第1の比較手段と前記第1のチャージポンプの位相差－出力電圧特性より利得が高いことを特徴とする請求項1に記載のPLL回路。

【請求項3】 前記第2の比較手段と前記第2のチャージポンプとは位相差－出力電圧特性に不感帯を有することを特徴とする請求項1または請求項2の何れかに記載のPLL回路。

【請求項4】 前記第1の比較手段は、

不感帯を解消するための第1の遅延回路を有することを特徴とする請求項3に記載のPLL回路。

【請求項5】 前記第2の比較手段は、

前記不感帯の幅を調整するための第2の遅延手段を有することを特徴とする請求項1ないし請求項4の何れかに記載のPLL回路。

【請求項6】 前記第2の遅延手段は、遅延時間を大きくすることにより、

前記第2の比較手段の前記不感帯の幅が広くなることを特徴とする請求項5に記載のPLL回路。

【請求項7】 前記第1の比較手段と前記第2の比較手段との各々には、

入力された前記電圧制御発振手段の発振出力と前記基準信号とが供給されることを特徴とする請求項1に記載のPLL回路。

【請求項8】 前記第1の比較手段と前記第1のチャージポンプと、前記第2の比較手段と前記第2のチャージポンプとは、互々位相差－出力電圧特性に不感帯を有することを特徴とする請求項7に記載のPLL回路。

【請求項9】 前記第1の比較手段は、

不感帯を解消するための第3の遅延回路を有することを特徴とする請求項8に記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、・・・PLL回路に関する。

【0002】

【従来の技術】図5は、従来からのPLL(Phase Locked Loop)回路の一例を示すブロック図である。この図に示すように一般にPLL回路は、比較回路(位相周波数比較回路)51ならびにチャージポンプ52、LPF(Low Pass Filter:低域通過滤波器)53、VCO(Voltage Controlled Oscillator:電圧制御発振器)54そして分周回路55から構成される帰還回路である。

【0003】上述の比較回路51は、外部から入力される基準信号F_{ref}と分周回路55が出力する信号F_{out2}との位相および周波数を比較し、これらの差に比例して、この差を減少させる方向の大きさの制御信号S_{up}およびS_{down}を出力する。

【0004】チャージポンプ52は、比較回路51が出力する制御信号S_{up}およびS_{down}に基づき、LPF53を介して制御電圧V_{cnt}の充放電を行う。LPF53は、チャージポンプ52からの充放電電流によって生成される制御電圧V_{cnt}の電位変化に対し、直流平均化を行う。

【0005】VCO54は、入力される制御電圧V_{cnt}に比例した周波数の発振パルスF_{out1}を出力する。分周回路55はカウンタやディバイダ等から構成され、VCO54が出力する発振パルスF_{out1}の周波数を1/Nに分周し、信号F_{out2}を出力する。

【0006】上述のPLL回路は、基準信号F_{ref}とVCOが出力する発振パルスF_{out1}を1/Nに分周した信号F_{out2}との周波数／位相を比較し、その周波数および位相の差を小さくする方向に帰還回路動作することにより、基準信号F_{ref}と周波数・位相同期のとれた信号F_{out2}を得る。そしてVCO54の出力として、入力される基準信号F_{ref}と同期がとれ、且つ周波数がN倍(F_{ref}×N)された発振パルスF_{out1}を得ることができる。

【0007】図6は、図5に示すPLL回路の同期動作の位相周波数特性を示す図である。まずPLL回路が動作を開始した時点では、VCO54は回路定数で決まっている自定発振周波数f₀で発振している。この状態では、出力である信号F_{out2}は基準信号F_{ref}に対し、位相ならびに周波数の何れも大きく異なっている。

【0008】比較回路51は、基準信号F_{ref}と信号F_{out2}を比較し、この差を小さくする方向に制御信号S_{up}またはS_{down}を出力する。即ち、基準信号F_{ref}に対して信号F_{out2}の位相が遅れている場合や周波数が低い場合には、PLL回路を構成する帰還回路に対して周波数を高くする方向の制御信号S_{up}を出力する。逆に、基準信号F_{ref}に対して信号F_{out2}の位相が進んでいる場合や周波数が高い場合には、周波数を低くする制御信号S_{down}を出力する。

(3)

特開平11-195982

3

【0009】こうして、比較回路51が求めた基準信号F_{ref}と信号F_{out1}との誤差信号に比例した制御信号S_{up}およびS_{down}により、チャージポンプ52とLPF53とを介してVCO54の発振周波数が制御される。

【0010】このVCO54が出力する発振パルスF_{out1}が、分周回路55を介して比較回路51に帰還される。このため分周回路55が出力する信号F_{out2}は、徐々に基準信号F_{ref}に近くなり、やがて位相ならびに周波数が等しく安定して発振を続ける状態になる。

【0011】このように位相ならびに周波数の等しい状態を、同期（がとれている）状態あるいはロック（した）状態と言う。そして、PLL回路が動作し始めてから同期がとれるまでの動作を“引き込み動作”、“ロック動作”あるいは“同期動作”と呼び、同期がとれるまでの時間を“ロック時間”、“ロックアップ時間”あるいは“引き込み時間”と呼ぶ。

【0012】こういったPLL回路は、通信分野や論理処理分野等に幅広く用いられ、回路動作上の基本クロック信号として使用されているため、より短時間でロックするPLL回路が求められている。

【0013】そこでPLL回路のロック時間を短くする例として、比較回路へチャージポンプの利得を大きくする方法、LPFの利得を大きくする方法、あるいはVCOの利得を大きくする方法等がある。

【0014】しかしながら従来のPLL回路では、ロックアップ特性（引き込み特性）を向上させるために周波数感度を増大させると、出力信号のジッタ（同期変動）が増大してしまう。

【0015】一方、出力信号ジッタを減少させるために周波数感度を低下させると、ロックアップ特性が増大してしまう。従って、低ジッタ特性且つ高速ロックアップ特性を持つPLL回路を設計することは困難であった。

【0016】

【発明が解決しようとする課題】現在までに、PLL回路の低ジッタ化、引き込み高速化のための工夫は行われている。代表的なものとして、PLL回路のループ定数を最適化し、動特性の利得切り替えを用いた例がある。図7はこのようなPLL回路の構成例を示すブロック図であり、実開平1-65527号公報にも示されるものである。

【0017】図7に示す例では、複数個の比較回路チャージポンプを用いて、ロックアップ時とロック後の定常時とで、比較回路チャージポンプの出力利得特性を変化させ、PLL回路の動特性を制御している。

【0018】図7に示す例では、比較回路60が出力する制御信号S_{up}、S_{down}は、2つのチャージポンプ61とチャージポンプ62へ入力される。同期判定回路63が出力する信号Contは、2つのチャージポンプ61、62の内、一方のチャージポンプのみをアクティブとし、図示しないLPFへ出力を選択し切り替える。

4

【0019】図8は、比較回路チャージポンプの出力特性（図8（A））と位相周波数特性（図8（b））とを示す図である。なお、この図中のAはチャージポンプ61の出力特性であり、Bはチャージポンプ62の出力特性である。

【0020】端子50-1を介して比較回路60に入力される基準信号F_{ref}と、端子50-2を介して、図示しないVCOあるいは分周回路から入力される信号F_{out}との間の位相誤差 ϕ に対し、チャージポンプ61あるいは62から電圧C_{Pout}が出力される。即ち位相差 ϕ に比例し、その差を小さくする大きさを持った電圧C_{Pout}が出力される。

【0021】このPLL回路では制御信号Contによって、引き込み過程においては位相差 ϕ -出力特性利得の大きいチャージポンプ61の特性を用い、ロック後は利得の小さいチャージポンプ62へ切り替える。

【0022】即ち、ロックアップ過程では比較回路チャージポンプの利得を大きくして高速のロック特性を利用し、ロック後には利得を小さい比較回路チャージポンプへ切り替え、低ジッタ特性を達成している。

【0023】この制御には端子50-3を介して入力される、PLL回路がロックアップ過程かあるいはロックしたかを判定する同期判定回路63、およびこの判定結果に基づいて制御される制御信号Cont、または外部からの制御信号が用いられる。

【0024】しかしながら、上述のように利得を切り替える従来のPLL回路では、入力端子数の増加や回路規模の増大という問題がある。この発明は、このような背景の下になされたもので、大幅に回路規模が増加したり、外部からの制御信号等が供給される端子の増大を伴うことなく、高速ロック特性且つ低ジッタ特性を同時に有するPLL回路を提供することを目的としている。

【0025】

【課題を解決するための手段】上述した課題を解決するために、請求項1に記載の発明にあっては、電圧制御発振手段の発振出力と基準信号とに基づいて、時定数回路を介して前記電圧制御発振手段の周波数を制御する帰還回路から構成されるPLL回路であって、前記電圧制御発振手段の発振出力と前記基準信号との周波数／位相差を比較する第1の比較手段と、前記第1の比較手段による比較結果に基づいて前記時定数を充放電する第1のチャージポンプと、前記電圧制御発振手段の発振出力と前記基準信号との周波数／位相差を比較する第2の比較手段と、前記第2の比較手段による比較結果に基づいて前記時定数を充放電する第2のチャージポンプとを具備することを特徴とする。また、請求項2に記載の発明にあっては、請求項1に記載のPLL回路では、前記第2の比較手段は、前記第1の比較回路を構成するフリップフロップの出力を増幅するバッファを有しており、前記第2の比較手段と前記第2のチャージポンプとは、前記第

(4)

特開平11-195982

5

6

1の比較手段と前記第1のチャージポンプの位相差-出力電圧特性より利得が高いことを特徴とする。また、請求項3に記載の発明にあっては、請求項1または請求項2の何れかに記載のPLL回路では、前記第2の比較手段と前記第2のチャージポンプとは位相差-出力電圧特性に不感帯を有することを特徴とする。また、請求項4に記載の発明にあっては、請求項3に記載のPLL回路では、前記第1の比較手段は、不感帯を解消するための遅延回路を有することを特徴とする。また、請求項5に記載の発明にあっては請求項1ないし請求項4の何れかに記載のPLL回路では、前記第2の比較手段は、前記不感帯の幅を調整するための遅延手段を有することを特徴とする。また、請求項6に記載の発明にあっては、請求項5に記載のPLL回路では、前記第2の遅延手段は、遅延時間を大きくすることにより、前記第2の比較手段の前記不感帯の幅が広がることを特徴とする。また、請求項7に記載の発明にあっては、請求項1に記載のPLL回路では、前記第1の比較手段と前記第2の比較手段との各々には、入力された前記電圧制御発振手段の発振出力と前記基準信号とが供給されることを特徴とする。また、請求項8に記載の発明にあっては、請求項7に記載のPLL回路では、前記第1の比較手段と前記第1のチャージポンプと、前記第2の比較手段と前記第2のチャージポンプとは、各々位相差-出力電圧特性に不感帯を有することを特徴とする。また、請求項9に記載の発明にあっては、請求項8に記載のPLL回路では、前記第1の比較手段は、不感帯を解消するための第3の遅延回路を有することを特徴とする。

【0026】この発明によれば、第1の比較手段によって電圧制御発振手段の発振出力と基準信号との周波数/位相差を比較し、第1のチャージポンプは第1の比較手段による比較結果に基づいて時定数を充放電し、第1の比較回路を構成するフリップフロップの出力を増幅するバッファを有した第2の比較手段によって電圧制御発振手段の発振出力と基準信号との周波数/位相差を比較し、第2のチャージポンプは第2の比較手段による比較結果に基づいて時定数を充放電し、これら第2の比較手段と第2のチャージポンプとは、第1の比較手段と第1のチャージポンプの位相差-出力電圧特性より利得が高く、第2の比較手段と第2のチャージポンプとは位相差-出力電圧特性に不感帯を有する場合に、第1の比較手段に不感帯を解消するための第1の遅延回路を挿入する。また、第2の比較手段に遅延時間を大きくすることによって不感帯の幅を広く調整するための第2の遅延手段を挿入する。

【0027】

【発明の実施の形態】以下に本発明について説明する。図1は、本発明の第1の実施の形態にかかるPLL回路の構成を示す接続図である。なお、本実施の形態が適用されるPLL回路の帰還回路の構成は従来のものと同様

であるため、図示ならびに詳細な説明は省略する。

【0028】図1において10ならびに20は比較回路である。この比較回路10はデッドゾーン（不感帯）のない特性を有しており、基準信号F_{ref}と周波数が制御されるVCO（図示省略）が出力する発振信号F_{out}とが入力される。

【0029】これら比較回路10ならびに20は、例えばUSP-4281259やIEEE reference Vol. CE-27, No.3, 1981, 8月第220頁-第226頁等にも示されるように、論理ゲートやFF（フリップフロップ）等を用いた一般的な回路であるので、詳細な説明は省略する。なお比較回路10が有する11は、インバータ（反転素子）により構成された遅延回路であり、上述のデッドゾーンを解消する。

【0030】比較回路20はデッドゾーンのある特性のものであってもよく、図1に示すように比較回路10の回路内における点n01、n02、n03およびn04から信号が入力される。

【0031】比較回路10が出力する制御信号S_{up1}とS_{down1}とは、チャージポンプ30に供給される。一方、比較回路20が出力する制御信号S_{up2}とS_{down2}とは、チャージポンプ40に供給される。

【0032】図2は、図1に示す比較回路-チャージポンプの、基準信号F_{ref}と被比較信号である発振信号F_{out}間の位相誤差 ϕ に対する、出力電圧の特性を示す特性図である。

【0033】図中のCは、比較回路10とチャージポンプ30との接続に対する特性であり、Dは比較回路20とチャージポンプ40との接続に対する特性、そしてEは特性Cと特性Dとの和である。

【0034】図1に示す構成では、上述のように比較回路20はデッドゾーンを有している。そこでデッドゾーンのない比較回路10の位相誤差 ϕ -出力特性は、比較回路20の特性に比べて、その利得を低く設定する。

【0035】入力された基準信号F_{ref}と発振信号F_{out}とは比較回路10に供給され、これら基準信号F_{ref}と発振信号F_{out}とに基づく信号が並列して比較回路20に供給される。この結果、図2に示す特性Eのように、チャージポンプ30の出力とチャージポンプ40の出力との和である電圧C_{Pout}が出力される。

【0036】以下に、本実施の形態の動作について説明する。入力される基準信号F_{ref}と発振信号F_{out}との間の位相差がデッドゾーンを越えて大きい時は、比較回路10の特性と比較回路20の特性との和である利得の大きい電圧が出力される。一方、2つの入力信号の位相差がデッドゾーンの幅の内側である時は、比較回路10の特性で決定される、利得の小さい電圧が出力される。

【0037】即ちPLL回路のロックアップ過程において、2つの入力信号F_{ref}とF_{out}との間の位相差が大きい時は、出力電圧特性の利得が大きいので、高速度ロッ

(5)

特開平11-195982

7

8

ク特性となる。そして位相差が小さくなってきた状態、およびロックした状態では、位相差出力電圧特性に利得が小さいので、微小な位相周波数特性の制御となり、低ジッタ（低ノイズ出力）特性となる。

【0038】図3は、本発明の第2の実施の形態にかかるPLL回路の構成を示す接続図である。なお本実施の形態においても、適用されるPLL回路の帰還回路の構成は従来のものと同様であるため、図示ならびに詳細な説明は省略する。また、図3において図1に示す各部と対応する部分には同一の符号を付し、その説明は省略する。

【0039】図3に示す比較回路20aには、デッドゾーンの幅を調整するための遅延回路21a、21b、22aならびに22bが挿入されている。これら遅延回路21a、21b、22aならびに22bの遅延時間を大きくすることにより、デッドゾーンの幅を大きくすることができる。

【0040】即ち本実施の形態では、入力低ジッタ特性の領域を制御することが可能である。位相誤差-出力特性については、例えば図2に示したようなデッドゾーンの幅が設定可変となる他は、利得等は同等である。また詳細な動作は、図1ならびに図2に示すものと同じである。

【0041】図4は、本発明の第3の実施の形態にかかるPLL回路の構成を示す接続図である。なお本実施の形態においても、適用されるPLL回路の帰還回路の構成は従来のものと同様であるため、図示ならびに詳細な説明は省略する。また、図4においても図1あるいは図3に示す各部と対応する部分には同一の符号を付し、その説明は省略する。

【0042】図4において10aは比較回路であり、比較回路10と同様に構成されていない。ただし、比較回路10aは遅延回路11を有していない。本実施の形態では、比較回路10と比較回路10aとは同一の基準信号F_{ref}が供給される。また発振信号F_{out}も、比較回路10と比較回路10aとに供給される。本実施の形態の詳細な動作についても、図1ないし図3に示すものと同じであるが、回路規模の増大は大きくないことがわかる。

【0043】

【発明の効果】以上説明したように、この発明によれば、第1の比較手段によって電圧制御発振手段の発振出力と基準信号との周波数/位相差を比較し、第1のチャージポンプは第1の比較手段による比較結果に基づいて時定数を充放電し、第1の比較回路を構成するフリップフロップの出力を増幅するバッファを有した第2の比較手段によって電圧制御発振手段の発振出力と基準信号との周波数/位相差を比較し、第2のチャージポンプは第2の比較手段による比較結果に基づいて時定数を充放電

し、これら第2の比較手段と第2のチャージポンプとは、第1の比較手段と第1のチャージポンプの位相差-出力電圧特性より利得が高く、第2の比較手段と第2のチャージポンプとは位相差-出力電圧特性に不感帯を有する場合に、第1の比較手段に不感帯を解消するための第1の遅延回路を挿入する。また、第2の比較手段に遅延時間を大きくすることによって不感帯の幅を広く調整するための第2の遅延手段を挿入するので、大幅に回路規模が増加したり、外部からの制御信号等が供給される端子の増加を伴うことなく、高速ロック特性且つ低ジッタ特性を同時に有するPLL回路が実現可能であるという効果が得られる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態にかかるPLL回路の構成を示す接続図である。

【図2】 図1に示す比較回路-チャージポンプの特性を示す特性図である。

【図3】 本発明の第2の実施の形態にかかるPLL回路の構成を示す接続図である。

【図4】 本発明の第3の実施の形態にかかるPLL回路の構成を示す接続図である。

【図5】 従来からのPLL回路の一例を示すブロック図である。

【図6】 図5に示すPLL回路の同期動作の位相周波数特性を示す図である。

【図7】 ループ定数を最適化し、動特性の利得切り替えを用いたPLL回路の構成例を示すブロック図である。

【図8】 比較回路-チャージポンプの出力特性と位相周波数特性とを示す図である。

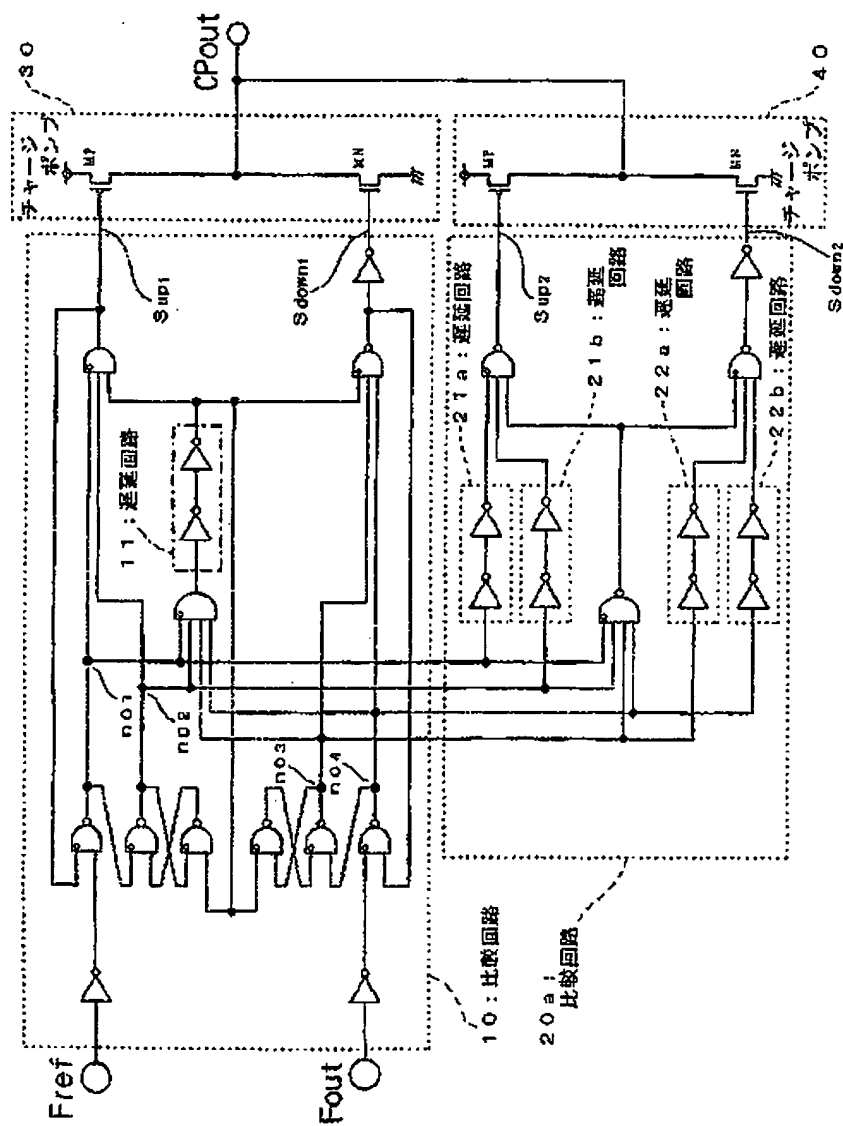
【符号の説明】

10 比較回路
10a 比較回路
11 遅延回路
20 比較回路
20a 比較回路
21a、21b 遅延回路
22a、22b 遅延回路
30 チャージポンプ
40 チャージポンプ
50-1〜50-3 端子
51 比較回路
52 チャージポンプ
53 LPF
54 VCO
55 分周回路
60 比較回路
61 チャージポンプ
62 チャージポンプ

(7)

特開平11-195982

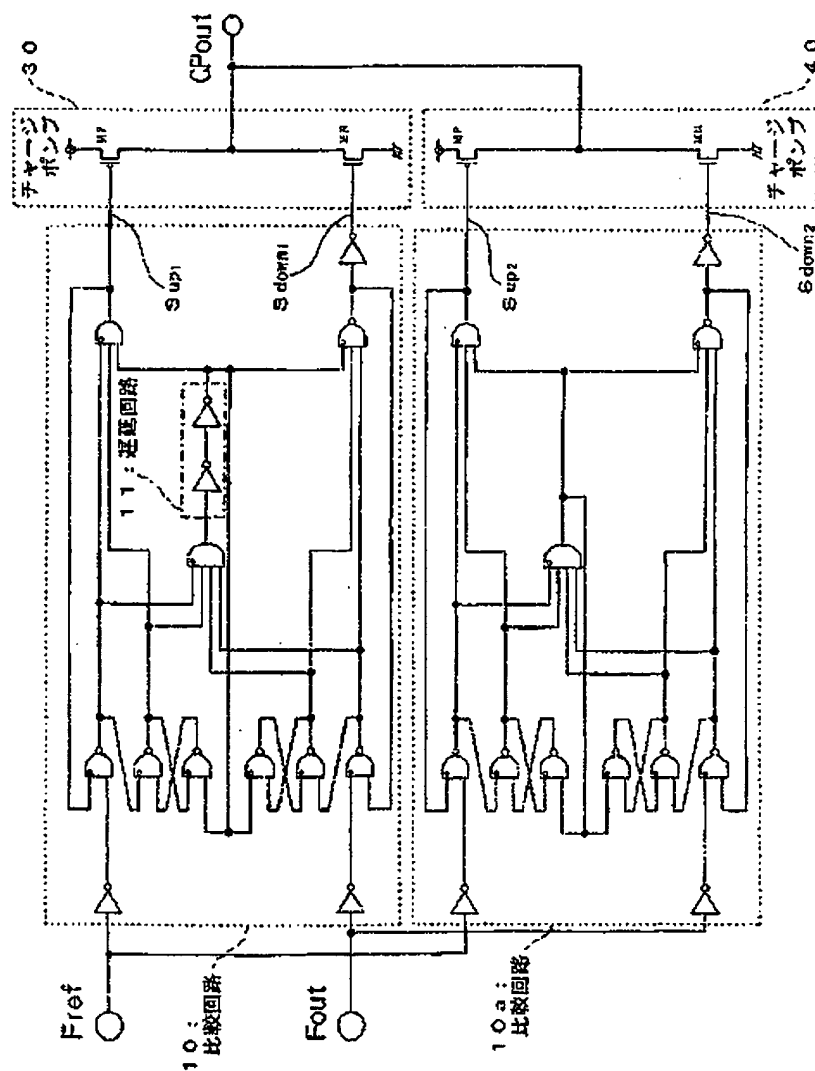
【図3】



(3)

特開平11-195982

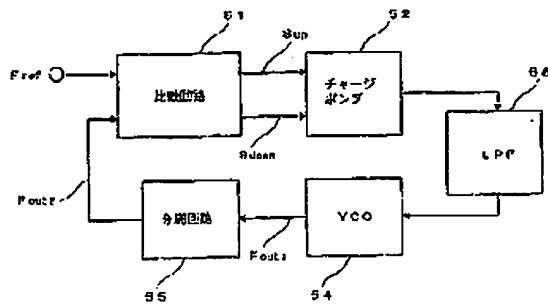
【図4】



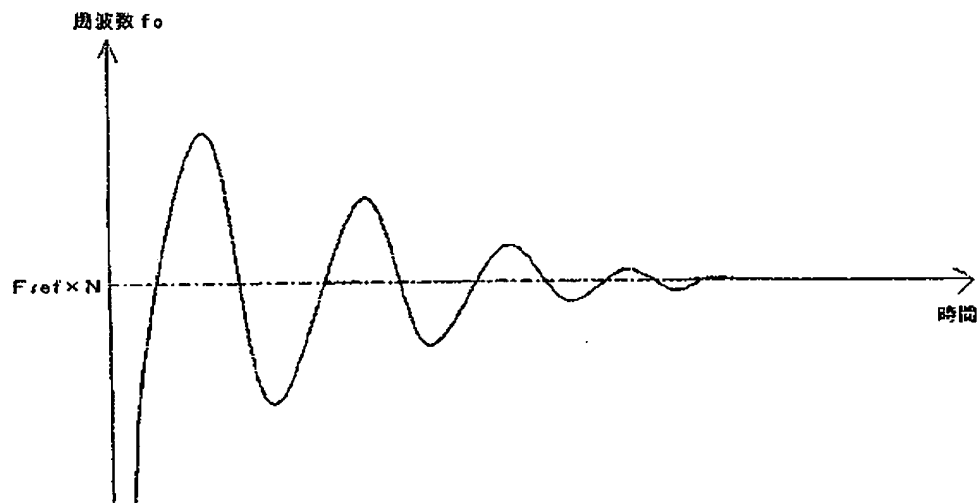
(9)

特開平11-195982

【図5】



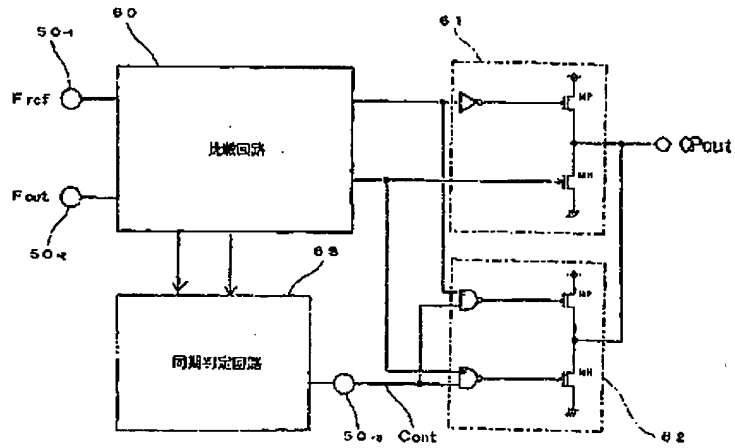
【図6】



(10)

特開平11-195982

【図7】



(11)

特開平11-195982

【図8】

